



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09167730

(43)Date of publication of application: 24.06.1997

(51)Int.Cl.

H01L 21/027

G01B 11/00

G03F 9/00

G06T 7/00

H01L 21/66

(21)Application number: 07325906

(71)Applicant:

MIYAZAKI OKI ELECTRIC CO
LTD

OKI ELECTRIC IND CO LTD

(22)Date of filing: 14.12.1995

(72)Inventor:

MATSUMOTO TETSUO

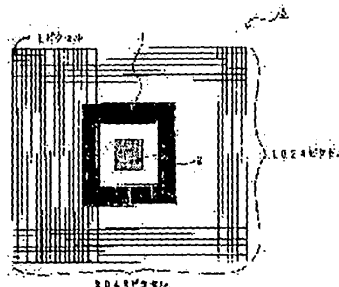
MIYAMURA KAZUYUKI

(54) SUPERPOSE ACCURACY MEASURING METHOD AND SUPERPOSE DECISION
METHOD EMPLOYING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To measure the superpose accuracy efficiently while shortening the measuring time by introducing an image processing technology.

SOLUTION: In the superpose accuracy measuring method, a box mark is divided by a CCD into pixels 3 for an arbitrary shop on a wafer and the brightness of each pixel is converted into a current value of 256 gradations which is then stored as one image memory. After the images for all measuring shots are picked up, the current value of 256 gradations is integrated for an inner box 2 which is then laminated and the X, Y distribution of laminated inner box is represented numerically as a correlation coefficient.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-167730

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027			H 0 1 L 21/30	5 2 5 W
G 0 1 B 11/00			G 0 1 B 11/00	H
G 0 3 F 9/00			G 0 3 F 9/00	H
G 0 6 T 7/00			H 0 1 L 21/66	J
H 0 1 L 21/66			G 0 6 F 15/62	4 0 5 C

審査請求 未請求 請求項の数3 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平7-325906

(22) 出願日 平成7年(1995)12月14日

(71) 出願人 390008855

宮崎沖電気株式会社

宮崎県宮崎郡清武町大字木原727番地

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 松本 哲郎

宮崎県宮崎郡清武町大字木原727番地 宮

崎沖電気株式会社内

(72) 発明者 宮村 和亨

宮崎県宮崎郡清武町大字木原727番地 宮

崎沖電気株式会社内

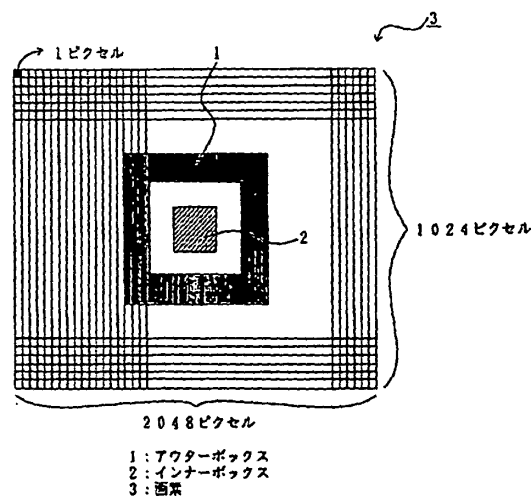
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 パターンの重ね合わせ精度測定方法及びそれを用いた重ね合わせ判定方法

(57) 【要約】

【課題】 画像処理技術を導入し、重ね合わせ精度測定時間を短縮し、効率的な重ね合わせ精度測定を行うことができる、パターンの重ね合わせ精度測定方法及びそれを用いた重ね合わせ判定方法を提供する。

【解決手段】 パターンの重ね合わせ精度測定方法において、ウエハ上の任意のショットについて、ボックスマークをCCDにより画素に分割し、1画素あたりの明暗を256階調の電流値に変換し、この256階調の電流値を1つの画像メモリとして記憶し、全測定ショット分の画像を取込み後、インナーボックスの256階調の電流値の積分を行い、インナーボックスの積層を行い、その積層化されたインナーボックスのX、Yの分布を相関係数として数値化するようにしたものである。



【特許請求の範囲】

【請求項1】 パターンの重ね合わせ精度測定方法において、(a) ウエハ上の任意のショットについて、アライメントマークを画素に分割し、1画素あたりの明暗を所定の階調の電流値に変換し、該所定の階調の電流値を1つの画像メモリに記憶し、(b) 全測定ショット分の画像を取込み後、インナーアライメントマークの所定の階調の電流値の積分を行い、インナーアライメントマークの積層を行い、(c) 該積層化されたインナーアライメントマークのX、Yの分布を相関係数として数値化する

ことを特徴とするパターンの重ね合わせ精度測定方法。
 【請求項2】 パターンの重ね合わせ判定方法において、(a) ウエハ上の任意のショットについて、アライメントマークを画素に分割し、1画素あたりの明暗を所定の階調の電流値に変換し、該所定の階調の電流値を1つの画像メモリに記憶し、(b) 全測定ショット分の画像を取込み後、インナーアライメントマークの所定の階調の電流値の積分を行い、インナーアライメントマークの積層を行い、(c) 該積層化されたインナーアライメントマークのX、Yの分布を相関係数として数値化し、

(d) その管理値に基づいて、パターンの重ね合わせ精度の可否を判定することを特徴とするパターンの重ね合わせ判定方法。

【請求項3】 パターンの重ね合わせ判定方法において、(a) ウエハ上の任意のショットについて、アライメントマークを画素に分割し、1画素あたりの明暗を所定の階調の電流値に変換し、該所定の階調の電流値を1つの画像に記憶し、(b) 全測定ショット分の画像を取込み後、インナーアライメントマークの所定の階調の電流値の積分を行い、インナーアライメントマークの積層を行い、(c) 該積層化されたインナーアライメントマークのX、Yの分布を相関係数として数値化し、(d) その管理値に基づいて、パターンの重ね合わせ精度の可否を判定し、不合格の場合には、インナーアライメントマークの中心位置をアウターアライメントマークの中心位置に合わせるように補正することを特徴とするパターンの重ね合わせ判定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パターンの重ね合わせ精度測定方法に係り、特に、半導体製造におけるステップによるパターニングの後に行うパターンの重ね合わせ精度測定方法及びそれを用いたパターンの重ね合わせ判定方法に関するものである。

【0002】

【従来の技術】 パターンの重ね合わせ精度測定は、前工程によって形成されたパターンに対して、現行程で形成されたパターンの位置偏移量(ズレ)を測定し、前行程のパターンと、現行程のパターンの重ね合わせ精度を測定するものであるが、その方法の1つとして、ボックス

パターンを用いる方法がある。

【0003】 このボックスパターンを用いる方法は、前行程で予め枠状のボックスパターンを形成し、次行程でその枠の中にボックスパターンを形成する。すなわち、図6に示すように、枠状のボックス(アウターボックス)パターン1を形成し、そのボックスパターン1の中にボックス(インナーボックス)パターン2を形成する。

【0004】 そこで、この重ね合わせ精度測定では、2つのボックスパターンについて、それぞれ中心を求め、その重ね合わせ偏移量(ズレ)を算出する。つまり、図7に示すように、インナーボックスの中心点をA(x_1 , y_1)、アウターボックスの中心点をB(x_2 , y_2)とすると、この重ね合わせ偏移量(ズレ)は、C(x方向偏移量= $x_2 - x_1$ 、y方向偏移量= $y_2 - y_1$)となる。

【0005】 以上の測定を、ウエハ1枚につき数カ所行い、そのウエハの平均・3 σ の計算を行い、平均・3 σ を求め、重ね合わせ結果として本体ロットにフィードバックするようにしている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記した従来の重ね合わせ精度測定方法では、各ボックスの測定を行ってから、平均・3 σ の計算を行うため、測定開始から結果が出るまで、長時間かかっていた。本発明は、上記問題点を除去し、画像処理技術を導入し、重ね合わせ精度測定時間を短縮し、効率的な重ね合わせ精度測定を行うことができる、パターンの重ね合わせ精度測定方法及びそれを用いた重ね合わせ判定方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、上記目的を達成するために、

〔1〕 パターンの重ね合わせ精度測定方法において、

(a) ウエハ上の任意のショットについて、アライメントマーク(ボックスマーク)を画素に分割し、1画素あたりの明暗を所定(256)の階調の電流値に変換し、この所定の階調の電流値を1つの画像メモリとして記憶し、(b) 全測定ショット分の画像を取込み後、インナーボックスの所定の階調の電流値の積分を行い、インナーアライメントマーク(インナーボックス)の積層を行い、(c) その積層化されたインナーアライメントマークのX、Yの分布を相関係数として数値化するようにしたものである。

【0008】 したがって、従来のように、アライメントマークをX、Y方向について計測し、平均・3 σ を求め、それを更に、演算する方法と異なり、インナーアライメントマークの像を画像メモリに取り込み、相関係数を求めることにより、パターンの重ね合わせ精度を迅速、かつ正確に測定することができる。

3

〔2〕パターンを重ね合せ判定方法において、(a) ウエハ上の任意のショットについて、アライメントマーク(ボックスマーク)を画素に分割し、1画素あたりの明暗を所定の階調の電流値に変換し、この所定の階調の電流値を1つの画像メモリに記憶し、(b)全測定ショット分の画像を取込み後、インナーアライメントマーク(インナーボックス)の所定の階調の電流値の積分を行い、インナーアライメントマークの積層を行い、(c)その積層化されたインナーアライメントマークのX、Yの分布を相関係数として数値化し、(d)その管理値に基づいて、パターンを重ね合わせ精度の可否を判定するようにしたものである。

【0009】したがって、上記(1)に加えて、管理値に基づいて重ね合わせの可否を判定することができる。

〔3〕パターンを重ね合せ判定方法において、(a) ウエハ上の任意のショットについて、アライメントマーク(ボックスマーク)を画素に分割し、1画素あたりの明暗を所定の階調の電流値に変換し、この所定の階調の電流値を1つの画像に記憶し、(b)全測定ショット分の画像を取込み後、インナーアライメントマークの所定の階調の電流値の積分を行い、インナーアライメントマークの積層を行い、(c)その積層化されたインナーアライメントマークのX、Yの分布を相関係数として数値化し、(d)その管理値に基づいて、パターンを重ね合わせ精度の可否を判定し、不合格の場合には、インナーアライメントマークの中心位置をアウターアライメントマークの中心位置に合わせるように補正するようにしたものである。

【0010】したがって、本体処理に先行して行われるテスト露光において、そのパターンを重ね合わせ精度が不合格の場合には、適切に補正することができる。

【0011】

$$r = \frac{\frac{1}{N} \sum_{i=1}^N (x_i - \bar{x})(y_i - \bar{y})}{\sigma_x \sigma_y}$$

ここで $(x_i - \bar{x})$ はx方向偏移量、 $(y_i - \bar{y})$ はy方向偏移量

【0016】Nは画素数、 σ_x はCCD上のXのバラツキ、 σ_y はCCD上のYのバラツキを示している。このようにして求められる相関係数(r)は、ちたばり(偏移)の広がりをしており、この相関係数(r)に管理値(例えば、 $-1 \leq r \leq 1$)を設定すると、現状の3 σ による管理と同様な重ね合わせずれの管理が可能になる。

【0017】以下、このパターンを重ね合わせ精度測定方法について詳細に説明する。まず、ウエハ上で複数の決められたショット(通常7~10ショット)内のインナーボックスマーク像を、CCDを用いて画像メモリに取り込む。全ボックスマークの画像取込みが終了した

4

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

(1)まず、ウエハ上の任意のショットについて、ボックスマークの画像認識を行う。すなわち、図1に示すように、ウエハ上の1つのボックスマーク(アウターボックス1及びインナーボックス2)をCCDにより、1024×2048のピクセル(画素)3に分割し、1ピクセルあたりの明暗を256階調の電流値に変換する。これらの1024×2048ピクセル分の256階調の電流値を1つの画像メモリとして記憶させる。

【0012】つまり、1画像=1024×2048=2097152(ピクセル)であり、これが1画像メモリに記憶される。

(2)次に、全測定ショット分の画像を取込み後、データ解析に移る。すなわち、ボックスパターンは全て同一形状であるため、ウエハ内の合せのばらつきはアウターボックス1の内側に形成されるインナーボックス2の位置のばらつきとなって現れる。図2にそのインナーボックス2の積層化について示す。

【0013】図2(a)に示すようなボックス単体11(n=1)を、図2(b)に示すように、例えば、3ボックス(n=3)12を重ね合わせると、図2(c)に示すように、その積層化したパターン13はボックス単体11に比べ、面積が広く、パターンを認識した画素の分布はボックス単体11に比べて広がる。

(3)次に、X、Yの分布を相関係数(r)として数値化する。図3はその積層化後の画素分布を示す図である。

【0014】この相関係数(r)を求める式を以下に示す。

【0015】

【数1】

ら、ボックスマークの積層化処理を行う。積層化処理後、そのX、Yの画素の分布について、相関係数(r)を計算する。例えば、管理値を0.5 $\leq r \leq 1$ とした場合、得られた相関係数が0.3であった場合は管理値外れとなる。

【0018】次に、本体処理に先行して行われるテスト露光によって重ね合せ偏移量を補正する方法について説明する。画像メモリに取り込まれたインナーボックスマーク像をX、Yについて平均化する。インナーボックス画像を積層化する前の段階で、図4に示すように、それぞれのボックスの中心(それぞれボックスの両端を認識した画素の中心)を求める。つまり、CCDを用いた画

像メモリのピクセル毎の256階調の電流値により瞬時に求めることができる。

【0019】次に、全ボックスについてのそのボックス中心の平均となる座標を求める。この場合にも、全ボックスの中心の平均を各画像メモリに基づいて瞬時に求めることができる。つまり、相関係数(r)が求められる。この座標と、図5に示すように、アウターボックス(マシンとしてのステッパーに対応)について同様に得られた中心(外枠ボックスについては中心となる座標を統一する)との偏移量を合せの偏移量とする。

【0020】上記したように、相関係数(r)を求め、これに管理値を考慮することにより、管理値外れの場合には、重ね合せ偏移量を補正した上で、本体ロットに戻すようにすることができる。なお、上記実施例では1ピクセルあたりの明暗を256階調の電流値を用いるものとして説明したが、これに限定されるものではなく、所定の階調をもって足りるものである。

【0021】また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0022】

【発明の効果】以上、詳細に説明したように、本発明によれば、次のような効果を奏することができる。

(1) 請求項1記載の発明によれば、従来のように、ボックスマークをX、Y方向について計測し、平均・3σを求め、それを更に、演算する方法と異なり、インナーボックスマークの像を画像メモリに取り込み、相関係数を求めることにより、パターンを重ね合わせ精度を迅

速、かつ正確に測定することができる。

【0023】(2) 請求項2記載の発明によれば、上記(1)に加えて、管理値に基づいて重ね合わせの合否を判定することができる。

(3) 請求項3記載の発明によれば、本体処理に先行して行われるテスト露光において、そのパターンの重ね合わせ精度が不合格の場合には、適切に補正することができる。

【図面の簡単な説明】

10 【図1】本発明の実施例を示すボックスマークの画像メモリへの記憶の説明図である。

【図2】本発明の実施例を示すインナーボックスマークの積層化の説明図である。

【図3】本発明の実施例を示すインナーボックスマークの積層化後の画素分布を示す図である。

【図4】本発明の実施例を示すインナーボックスマークの積層時の平均化処理の説明図である。

【図5】本発明の実施例を示すインナーボックスマークの補正の説明図である。

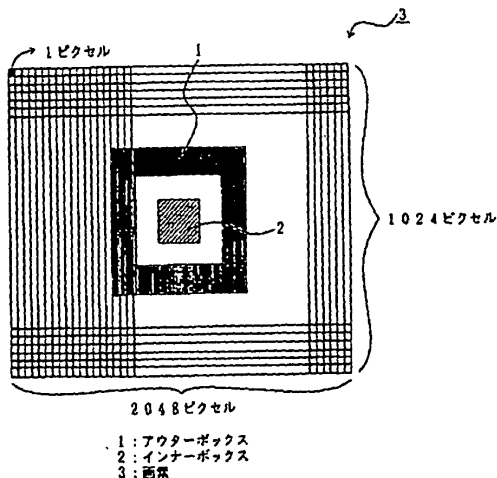
20 【図6】従来のボックスパターンの説明図である。

【図7】従来のボックスパターンの合わせズレの説明図である。

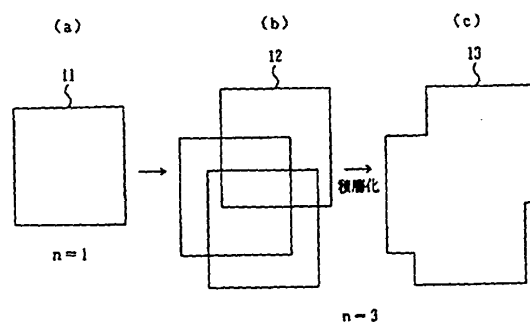
【符号の説明】

- 1 アウターボックス
- 2 インナーボックス
- 3 画素
- 11 ボックス単体
- 13 積層化したパターン

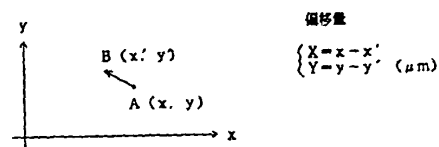
【図1】



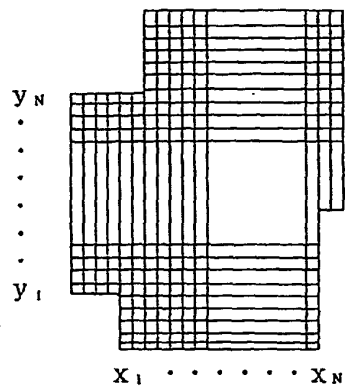
【図2】



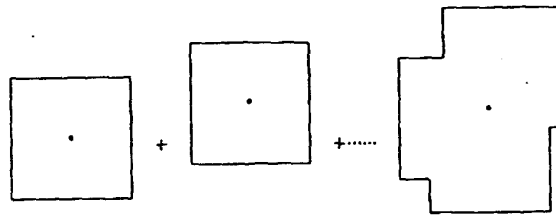
【図5】



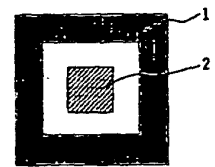
【図3】



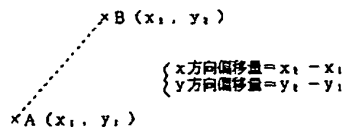
【図4】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.6

識別記号

庁内整理番号

F I

G 0 6 F 15/70

技術表示箇所

4 6 0 A